

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re

U.S. Application of:	Tomokazu KAKUMOTO and Masayuki KUSUDA
For:	SOLID-STATE IMAGE SENSING DEVICE
U.S. Serial No.:	To Be Assigned
Confirmation No.:	To Be Assigned
Filed:	Concurrently
Group Art Unit:	To Be Assigned
Examiner:	To Be Assigned

**MAIL STOP PATENT APPLICATION**

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

EXPRESS MAIL MAILING LABEL NO.: EL 794575711 US  
DATE OF DEPOSIT: JULY 30, 2003  
I hereby certify that this paper or fee is being deposited with the  
United States Postal Service "Express Mail Post Office to Addressee"  
service under 37 C.F.R. § 1.10 on the date indicated above and is  
addressed to MAIL STOP PATENT APPLICATION, Commissioner for  
Patents, P.O. Box 1450, Alexandria, VA 22313-1450

DERRICK T. GORDON

Name of Person Mailing Paper or Fee

  
Signature

July 30, 2003  
Date of Signature


Dear Sir:

**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Submitted herewith is a certified copy of Japanese Patent Application No.  
2003-142880, filed May 21, 2003.

Priority benefit under 35 U.S.C. § 119/365 for the Japanese patent application is  
claimed for the above-identified United States patent application.

Respectfully submitted,

By:   
Douglas A. Sorensen  
Reg. No. 31,570  
Attorney for Applicants

TNT:DAS:pm

SIDLEY AUSTIN BROWN & WOOD LLP  
717 N. Harwood, Suite 3400  
Dallas, Texas 75201  
Direct: (214) 981-3482  
Main: (214) 981-3300  
Facsimile: (214) 981-3400

July 30, 2003

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   5 月 2 1 日  
Date of Application:

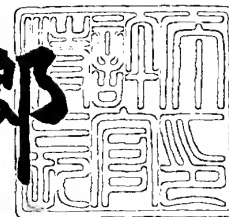
出 願 番 号            特 願 2 0 0 3 - 1 4 2 8 8 0  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 1 4 2 8 8 0 ]

出      願      人            ミ ノ ル タ 株 式 会 社  
Applicant(s):

2 0 0 3 年   7 月   8 日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号   出証特 2 0 0 3 - 3 0 5 4 0 6 9

【書類名】 特許願

【整理番号】 TL04758

【提出日】 平成15年 5月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明の名称】 固体撮像装置

【請求項の数】 5

【発明者】

【住所又は居所】 大阪府中央区安土町二丁目 3 番 1 3 号 大阪国際ビル  
ミノルタ株式会社内

【氏名】 角本 兼一

【発明者】

【住所又は居所】 大阪府中央区安土町二丁目 3 番 1 3 号 大阪国際ビル  
ミノルタ株式会社内

【氏名】 楠田 将之

【特許出願人】

【識別番号】 000006079

【氏名又は名称】 ミノルタ株式会社

【代理人】

【識別番号】 100085501

【弁理士】

【氏名又は名称】 佐野 静夫

【選任した代理人】

【識別番号】 100111811

【弁理士】

【氏名又は名称】 山田 茂樹

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716119

【包括委任状番号】 0000030

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射光量に応じた電気信号を出力する光電変換部と該光電変換部からの該電気信号をサンプルホールドするとともにサンプルホールドした該電気信号を映像信号として出力するサンプルホールド回路とを備えた 1 つ又は複数の画素を有する固体撮像装置において、

前記サンプルホールド回路をリセットするリセット電圧が 2 値以上の電圧値よりなることを特徴とする固体撮像装置。

【請求項 2】 前記画素が、前記光電変換部と前記サンプルホールド回路とを電氣的に接離するスイッチを備えることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 前記画素をリセットする画素リセット期間においては前記リセット電圧を第 1 電圧とし、

該画素リセット期間以外の期間においては前記リセット電圧を第 2 電圧とすることを特徴とする請求項 1 又は請求項 2 に記載の固体撮像装置。

【請求項 4】 前記サンプルホールド回路をリセットするサンプルホールド回路リセット期間においては前記リセット電圧を第 1 電圧とし、

該サンプルホールド回路リセット期間以外の期間においては前記リセット電圧を第 2 電圧とすることを特徴とする請求項 1 又は請求項 2 に記載の固体撮像装置。

【請求項 5】 前記光電変換部が、  
入射光量に応じた量の電荷を発生する光電変換回路と、  
前記光電変換回路からの電荷を蓄積して得られた電圧値を前記電気信号として出力する積分回路と、

を備えることを特徴とする請求項 1 ～請求項 4 のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0 0 0 1】

**【発明の属する技術分野】**

本発明は、全画素が同一タイミングで撮像動作を行うことができる固体撮像装置に関するもので、特に、電子シャッタ機能を備える固体撮像装置に関する。

**【0 0 0 2】****【従来の技術】**

従来より使用されている固体撮像装置には、光電変換素子で発生した光電荷を読み出す手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、又、MOS型はフォトダイオードのp n接合容量に蓄積した電荷をMOSトランジスタを通して読み出すようになっている。

**【0 0 0 3】**

このMOS型の固体撮像装置において、垂直走査及び水平走査を行うことによって、各画素毎に撮像動作を行った後、各画素より出力される映像信号がシリアルに固体撮像装置より出力される。よって、各画素毎に撮像動作を行うタイミングが異なるため、刻一刻と変化する被写体を撮像する場合、各画素において同一条件で撮像することが不可能となり、結果的に、画像歪みが発生することがある。

**【0 0 0 4】**

そこで、従来の固体撮像装置として、積分回路を2つ備えることで全画素が同一タイミングで撮像動作を行うものが提案されている（特許文献1参照）。この従来の固体撮像装置における画素の構成を、図22に示す。図22の画素は、入射光に応じた電気信号を生成する光電変換回路100と、光電変換回路100からの電気信号を積分するキャパシタC1と、キャパシタC1で積分された電気信号をサンプルホールドするキャパシタC2と、キャパシタC2でサンプルホールドされた電気信号を電流増幅するMOSトランジスタT4と、キャパシタC1、C2間の電気的な接離を行うMOSトランジスタT5と、キャパシタC2をリセットするためのスイッチとして働くMOSトランジスタT6と、MOSトランジスタT4からの電気信号を映像信号として出力するためのスイッチとして働くMOSトランジスタT3とを有する。

## 【0005】

図22のような構成の画素を備えた固体撮像装置において、固体撮像装置に備えられた全画素における光電変換回路100及びMOSトランジスタT5が同一のタイミングで動作することで、キャパシタC1に同一時間に撮像動作が行われて得られた電気信号が積分された後、キャパシタC2にサンプルホールドされる。そして、MOSトランジスタT5をOFFにした後、水平方向及び垂直方向に走査して各画素毎に、キャパシタC2でサンプルホールドされた電気信号に応じた映像信号が増幅されて出力される。

## 【0006】

## 【特許文献1】

特開2002-77733号公報

## 【0007】

## 【発明が解決しようとする課題】

図22のように構成された上述の固体撮像装置において、MOSトランジスタT6のソースには、変化することのない直流電圧VRSが常に印加された状態である。このことが原因となり、MOSトランジスタT6をOFFの状態であっても、キャパシタC2からMOSトランジスタT6のソース・ドレイン間を介して直流電圧VRSを供給する電圧供給ラインにリーク電流が流れる。又、このキャパシタC2からのリーク電流は、固体撮像装置の環境温度が高温になるほど多くなる。このリーク電流は、MOSトランジスタT6のソース・ドレイン間の電位差とMOSトランジスタT6のON抵抗の大きさにより決定する。

## 【0008】

そのため、固体撮像装置に備えられた全画素に対して同一タイミングで光電変換回路100のリセットを行うとともにMOSトランジスタT5をONする電子シャッタ機能を用いたとしても、キャパシタC2にサンプルホールドした後、各画素毎に順次読み出しを行うので、各画素毎のキャパシタC2からのリーク電流量が読み出し時間により異なるという問題が発生する。この各画素毎に、キャパシタC2からのリーク電流が異なることが原因となり、結果的に、固体撮像装置より得られた画像データを再生したときに画像歪みとなるシェーディングノイズ



が発生する。又、環境温度の変化によってリーク電流量も変化するため、出力される映像信号の大きさについても環境温度の影響を受けることとなる。

#### 【0009】

このような問題を鑑みて、本発明は、全画素が同一のタイミングで撮像可能であるとともに、各画素におけるリーク電流を抑制することができる固体撮像装置を提供することを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の固体撮像装置は、入射光量に応じた電気信号を出力する光電変換部と該光電変換部からの該電気信号をサンプルホールドするとともにサンプルホールドした該電気信号を映像信号として出力するサンプルホールド回路とを備えた1つ又は複数の画素を有する固体撮像装置において、前記サンプルホールド回路をリセットするリセット電圧が2値以上の電圧値よりなることを特徴とする。

#### 【0011】

この構成によると、前記電気信号が電圧信号であり、前記サンプルホールド回路において前記電気信号をサンプルホールドしているとき、前記リセット電圧を前記サンプルホールド回路をリセットするための電圧値と異なる電圧値とすることによって、前記サンプルホールド回路からのリーク電流を低減させる。

#### 【0012】

又、請求項2に記載するように、前記画素が、前記光電変換部と前記サンプルホールド回路とを電氣的に接離するスイッチを備える。このとき、前記画素が複数備えられるとき、前記画素全てに対して、前記光電変換部と前記スイッチとが同一のタイミングで動作し、同一タイミングで撮像されて得られた電気信号が前記各画素の前記サンプルホールド回路にサンプルホールドされる。又、前記サンプルホールド回路がリセットされた後、前記スイッチがONとされて、前記光電変換部からの前記電気信号が前記サンプルホールド回路に与えられる。

#### 【0013】

請求項1又は請求項2に記載の固体撮像装置において、請求項3に記載するよ

うに、前記画素をリセットする画素リセット期間においては前記リセット電圧を第 1 電圧とし、該画素リセット期間以外の期間においては前記リセット電圧を第 2 電圧とするようにしても構わない。当該画素リセット期間が、前記サンプルホールド回路のリセットの開始から前記サンプルホールド回路からの映像信号の出力前までの期間を含む。

#### 【0 0 1 4】

請求項 1 又は請求項 2 に記載の固体撮像装置において、請求項 4 に記載するように、前記サンプルホールド回路をリセットするサンプルホールド回路リセット期間においては前記リセット電圧を第 1 電圧とし、該サンプルホールド回路リセット期間以外の期間においては前記リセット電圧を第 2 電圧とするようにしても構わない。

#### 【0 0 1 5】

請求項 5 に記載の固体撮像装置は、請求項 1 ～請求項 4 のいずれかに記載の固体撮像装置において、前記光電変換部が、入射光量に応じた量の電荷を発生する光電変換回路と、前記光電変換回路からの電荷を蓄積して得られた電圧値を前記電気信号として出力する積分回路と、を備えることを特徴とする。このとき、前記積分回路が、前記光電変換回路から出力される電荷を蓄積するキャパシタを備えるものとしても構わない。

#### 【0 0 1 6】

請求項 5 に記載の固体撮像装置において、前記積分回路に前記サンプルホールド回路に与えられる前記リセット電圧が与えられるようにしても構わない。このとき、請求項 3 に記載の固体撮像装置のように前記リセット電圧を変化させる場合、前記画素リセット期間中に、前記積分回路がリセットされる。又、請求項 4 に記載の固体撮像装置のように前記リセット電圧を変化される場合、前記積分回路をリセットさせる積分回路リセット期間においても前記リセット電圧が第 1 電圧とされる。

#### 【0 0 1 7】

又、請求項 5 に記載の固体撮像装置において、前記積分回路に前記サンプルホールド回路に与えられる前記リセット電圧と異なる電圧値の変化しない直流のり

セット電圧が与えられるようにしても構わない。

【0 0 1 8】

又、請求項 5 の構成によると、前記積分回路に前記光電変換回路から出力される電荷が蓄積されることで、前記積分回路には、入射光量の積分値に応じた電圧値が得られる。その後、前記積分回路で得られた電圧値が前記電気信号として前記サンプリングホールド回路に出力されてサンプリングホールドされた後、入射光量の積分値に応じた電圧値を映像信号として出力する。

【0 0 1 9】

又、前記サンプリングホールド回路が、前記電気信号をサンプリングホールドするキャパシタを備えるようにしても構わない。又、前記サンプリングホールド回路が、第 1 電極及び第 2 電極及び制御電極を備えるとともに、前記第 1 積分回路からの電圧値が制御電極に入力されるトランジスタと、該トランジスタの第 2 電極に一端が接続されたキャパシタとを備え、該トランジスタの第 2 電極とキャパシタとの接続ノードに現れる電圧値を映像信号とする。更に、これらの固体撮像装置において、前記サンプリングホールド回路が、前記電気信号を前記映像信号として出力する出力信号線と前記キャパシタとを電氣的に接離する出力スイッチと、を備えるようにしても構わない。

【0 0 2 0】

又、上述の固体撮像装置において、前記光電変換部が入射光量に対して線形変換した電気信号を出力するようにしても構わないし、又、前記光電変換部が入射光量に対して対数変換した電気信号を出力するようにしても構わない。

【0 0 2 1】

請求項 5 の固体撮像装置において、前記積分回路内の第 1 キャパシタの一端と接続して該第 1 キャパシタをリセットする第 1 リセットスイッチと、前記サンプリングホールド回路内の前記トランジスタの制御電極に接続された第 2 リセットスイッチと、前記サンプリングホールド回路内の第 2 キャパシタの一端と接続して該第 2 キャパシタをリセットする第 3 リセットスイッチとを備えるようにしても構わない。又、前記トランジスタの制御電極に接続された第 2 リセットスイッチと、前記第 2 キャパシタの一端と接続して該第 2 キャパシタをリセットする第

3リセットスイッチとを備え、前記スイッチと前記第2リセットスイッチとをONとすることによって、前記第1キャパシタと前記トランジスタの制御電極とを同時にリセットするようにしても構わない。

#### 【0022】

上述の各固体撮像装置において、前記サンプリングホールド回路から出力される電圧値を増幅して映像信号を出力する出力回路を備えるようにしても構わない。又、前記光電変換回路が入射光量に対して自然対数的に変化する電気信号を出力するようにしても構わない。又、前記光電変換回路が、入射光量に対して線形的に変化する電気信号を出力する線形変換動作と入射光量に対して自然対数的に変化する電気信号を出力する対数変換動作とを切換可能としても構わない。このとき、前記光電変換回路は、所定の入射光量に達するまで前記線形変換動作を行い、当該所定の入射光量を超えたとき前記対数変換動作に切り替わる。

#### 【0023】

##### 【発明の実施の形態】

本発明の実施形態について、以下に、図面を参照して説明する。

#### 【0024】

##### <固体撮像装置の構成の概略>

まず、以下の各実施形態で共通となる固体撮像装置の構成について、図1を参照して説明する。図1は、固体撮像装置の構成を示すブロック図である。

#### 【0025】

図1において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。1は垂直走査回路であり、各画素に信号 $\phi V$ を与える行（ライン） $3-1$ 、 $3-2$ 、 $\dots$ 、 $3-n$ を順次走査する。2は水平走査回路であり、画素から出力信号線 $4-1$ 、 $4-2$ 、 $\dots$ 、 $4-m$ に導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン $3-1 \sim 3-n$ や出力信号線 $4-1 \sim 4-m$ 、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略する。

#### 【0026】

出力信号線 4-1, 4-2, ..., 4-m ごとに P チャネルの MOS トランジスタ Q1, Q2 が図示の如く 1 組ずつ設けられている。出力信号線 4-1 を例にとって説明すると、MOS トランジスタ Q1 のゲートは直流電圧線 6 に接続され、ドレインは出力信号線 4-1 に接続され、ソースは直流電圧 VPS' のライン 7 に接続されている。一方、MOS トランジスタ Q2 のドレインは出力信号線 4-1 に接続され、ソースは最終的な信号線 8 に接続され、ゲートは水平走査回路 2 に接続されている。

#### 【0027】

画素 G11~Gmn には、後述するように、それらの画素で発生した光電荷に基づく信号を出力する P チャネルの MOS トランジスタ T4 と、出力信号線 4-1 ~ 4-m との電氣的な接離を行うスイッチとして働く P チャネルの MOS トランジスタ T3 とが設けられている。この MOS トランジスタ T3, T4, Q1, Q2 との関係が、図 2 のように表される。このとき、MOS トランジスタ Q1 のゲートには直流電圧 DC が常時印加されるため、MOS トランジスタ Q1 は抵抗又は定電流源と等価となる。よって、MOS トランジスタ T4, Q1 によって、ソースフォロワ型の増幅回路が構成される。この場合、MOS トランジスタ T4 から増幅出力されるのは電流であると考えてよい。又、MOS トランジスタ T3 は行の選択を行うスイッチとして動作し、MOS トランジスタ Q2 は列の選択を行うスイッチとして動作する。

#### 【0028】

このように構成することにより信号を大きく出力することができる。よって、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。又、増幅回路の負荷抵抗部分を構成する MOS トランジスタ Q1 を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線 4-1 ~ 4-m 毎に設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を小さくできる。

#### 【0029】

尚、垂直走査回路 1 及び水平走査回路 2 はそれぞれ、タイミングジェネレータ 9 及び電圧レギュレータ 10 と接続されており、垂直及び水平走査が実現される。詳しくは、垂直走査回路 1 及び水平走査回路 2 は、タイミングジェネレータ 9 よりクロック信号が入力される。そして、このクロック信号に基づいて電圧レギュレータ 10 より供給される各種電圧を走査回路内のドライバを介して定められたタイミングで各画素 G11~Gmn に供給することで、垂直及び水平走査を実現している。

### 【0030】

又、本実施の形態の固体撮像装置は、電子シャッタ機能を備えており、垂直ランク期間中に全画素を同時に制御する。この同時制御を行うために、垂直走査回路 1 及び水平走査回路 2 とは別にドライバ 11 が設けられる。このドライバ 11 は、画素 G11~Gmn 全てと接続されている。このドライバ 11 もタイミングジェネレータ 9 よりクロック信号が入力され、電圧レギュレータ 10 より供給される各種電圧を定められたタイミングで画素 G11~Gmn 全てに同時供給することができる。

### 【0031】

#### <第 1 の実施形態>

図 1 に示した画素構成の各画素に適用される第 1 の実施形態について、図面を参照して説明する。図 3 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。図 3 の回路において、電圧信号  $\phi V$  は、垂直走査回路 1 内のドライバより供給され、信号  $\phi V$  以外の電圧信号はドライバ 11 より供給される。

### 【0032】

図 3 において、pn フォトダイオード PD が感光素子として働く。そのフォトダイオード PD のアノードが、MOS トランジスタ T7 のドレインと接続され、MOS トランジスタ T7 のソースが、MOS トランジスタ T1 のゲート及びドレイン、MOS トランジスタ T2 のゲートに接続されている。MOS トランジスタ T2 のソースに、一端に直流電圧  $V_{PS}$  が印加されたキャパシタ C1 の他端が接続される。キャパシタ C1 と MOS トランジスタ T2 のソースとの接続ノードに

、MOSトランジスタT5のドレイン及びMOSトランジスタT8のドレインが接続される。

#### 【0033】

又、MOSトランジスタT5のソースは、一端に直流電圧VPSが印加されたキャパシタC2の他端と、MOSトランジスタT4のゲート及びMOSトランジスタT6のドレインとが接続される。このMOSトランジスタT4のソースにMOSトランジスタT3のドレインが接続され、MOSトランジスタT3のソースは出力信号線4（この出力信号線4は図1の4-1, 4-2, ..., 4-mに対応する）へ接続されている。尚、MOSトランジスタT1~T8は、それぞれ、PチャネルのMOSトランジスタである。

#### 【0034】

又、フォトダイオードPDのカソード及びMOSトランジスタT2, T4のドレインには直流電圧VPDが印加され、MOSトランジスタT6, T8のソースには信号 $\phi$ VRSが与えられる。一方、MOSトランジスタT1のソースには信号 $\phi$ VPSが入力される。又、MOSトランジスタT3, T5, T7, T8, T6のゲートに、信号 $\phi$ V,  $\phi$ SW,  $\phi$ S,  $\phi$ RSa,  $\phi$ RSbがそれぞれ入力される。このとき、MOSトランジスタT1, T2, T7及びフォトダイオードPDによって光電変換回路100が構成される。

#### 【0035】

尚、信号 $\phi$ VPSは2値の電圧信号で、入射光量が所定値を超えたときにMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をVLとし、又、この電圧よりも高くMOSトランジスタT1を導通状態にする電圧をVHとする。又、信号 $\phi$ VRSも2値の電圧信号で、キャパシタC1, C2のリセットを行う際の電圧を直流電圧VPSに近い値となるVhとし、又、直流電圧VPS, VPDの中間的電位をV1とする。更に、この中間電位となるV1は、映像信号が黒レベル（最小値）となるときのキャパシタC2の電位と映像信号が白レベル（最大値）となるときのキャパシタC2の電位の中間値としても構わない。

#### 【0036】

##### 1. 画素の動作の第1例

図3のような構成の画素の動作の第1例について、図4のタイミングチャートを参照して以下に説明する。信号 $\phi S$ をローとしてMOSトランジスタT7をONとするとともに信号 $\phi VPS$ をVLとすると、フォトダイオードPDより入射光量に応じた光電荷がMOSトランジスタT1に流れ込む。よって、MOSトランジスタT1、T2のゲートに入射光量に応じた電圧が現れ、MOSトランジスタT2を入射光量に応じた電流が流れる。そして、キャパシタC1にMOSトランジスタT2を通じて負の電荷が流れ込み、積分動作が行われる。このとき、信号 $\phi VRS$ の値がV1とされる。

#### 【0037】

このとき、被写体の輝度が低いと、MOSトランジスタT1がカットオフ状態であるために、MOSトランジスタT1のゲートに光電荷が蓄積され、MOSトランジスタT1、T2のゲートに入射光量に対して線形的に比例した電圧が現れる。そして、キャパシタC1とMOSトランジスタT2との接続ノードに現れる電圧が、入射光量の積分値に線形的に比例した値となる。

#### 【0038】

又、被写体の輝度が高く、MOSトランジスタT1のゲートに蓄積された光電荷量に応じた電圧が低くなると、MOSトランジスタT1がサブスレッショルド領域で動作を行うため、入射光量に対して自然対数的に比例した電圧がMOSトランジスタT1のゲートに現れる。そして、キャパシタC1とMOSトランジスタT2との接続ノードに現れる電圧が、入射光量の積分値に自然対数的に比例した値となる。

#### 【0039】

その後、まず、信号 $\phi VRS$ の値をVhとして、MOSトランジスタT6、T8のソースにかかる電圧を高くして、MOSトランジスタT6、T8によるキャパシタC2、C1のリセットが可能な状態とする。そして、信号 $\phi RSb$ をローとしてMOSトランジスタT6をONとすることで、MOSトランジスタT4のゲートとキャパシタC2との接続ノードの電圧をリセットする。このローとなるパルス信号 $\phi RSb$ を与えた後、ローのパルス信号 $\phi SW$ を与える。

#### 【0040】



信号  $\phi$  SW がローとなることで、MOS トランジスタ T 5 が ON となり、MOS トランジスタ T 2 のソースとキャパシタ C 1 との接続ノードに現れる電圧がキャパシタ C 2 にサンプルホールドされる。そして、信号  $\phi$  SW をハイとした後、信号  $\phi$  S をハイとして、MOS トランジスタ T 7 を OFF とすることで、フォトダイオード PD と MOS トランジスタ T 1, T 2 との間を電氣的に切断する。このとき、MOS トランジスタ T 1 のソース側より正の電荷が流れ込み、MOS トランジスタ T 1 のゲート及びドレイン、そして MOS トランジスタ T 2 のゲートに蓄積された負の電荷が再結合され、ある程度まで、MOS トランジスタ T 1 のゲート及びドレインのポテンシャルが上がる。

#### 【0041】

そして、次に、信号  $\phi$  VPS を VH にし、MOS トランジスタ T 1 のソース電圧を高くすることで、MOS トランジスタ T 1 のソース側から流入する正の電荷の量が増加し、MOS トランジスタ T 1 のゲート及びドレイン、そして MOS トランジスタ T 2 のゲートに蓄積された負の電荷が速やかに再結合される。このとき、信号  $\phi$  R S a をローとして、MOS トランジスタ T 8 を ON にして、キャパシタ C 1 と MOS トランジスタ T 2 のゲートとの接続ノードの電圧を初期化する。

#### 【0042】

そして、信号  $\phi$  VPS を VL として、MOS トランジスタ T 1 のポテンシャルを初期化するとともに信号  $\phi$  R S a をハイとして MOS トランジスタ T 8 を OFF とした後、信号  $\phi$  S をローとして MOS トランジスタ T 7 を ON とし、MOS トランジスタ T 1, T 2 とフォトダイオード PD との間を電氣的に接続する。その後、再び、信号  $\phi$  VPS を VH とすることによって、フォトダイオード PD に残留している負の電荷が再結合されて、フォトダイオード PD 及び MOS トランジスタ T 1, T 2 のポテンシャルを初期化した後、信号  $\phi$  VPS を VL とする。このとき同時に、ローのパルス信号  $\phi$  R S a を MOS トランジスタ T 8 のゲートに与えてキャパシタ C 1 を初期化する。このように、各素子のリセットが終了すると、信号  $\phi$  VRS の値を V I として、MOS トランジスタ T 6, T 8 のソースにかかる電圧を低くして、MOS トランジスタ T 6, T 8 のソース・ドレイン間の電圧差を低くした状態とする。

## 【0 0 4 3】

この信号  $\phi S$ ,  $\phi SW$ ,  $\phi VPS$ ,  $\phi RSA$ ,  $\phi RSb$ ,  $\phi VRS$ については、垂直ブランク期間において、固体撮像装置を構成する画素  $G11 \sim Gmn$  全てを同時に動作させる。よって、同一タイミングで撮像されて得られた電気信号を映像信号としてキャパシタ  $C2$  に蓄積させることができる。即ち、キャパシタ  $C2$  と MOS トランジスタ  $T4$  のゲートとの接続ノードには、入射光量の積分値に線形的に又は自然対数的に比例した電圧値が現れる。

## 【0 0 4 4】

その後、行毎に、ローのパルス信号  $\phi V$  を与えて、MOS トランジスタ  $T3$  を ON とすることで、MOS トランジスタ  $T4$  において、キャパシタ  $C2$  で積分された入射光量の積分値に応じた電圧に対する電流が流れて、信号線 4 に、積分された入射光量の積分値に応じた電圧値となる映像信号が現れる。このとき、信号  $\phi VRS$  の値が  $V1$  とされ、MOS トランジスタ  $T6$ ,  $T8$  のソース・ドレイン間の電圧差を低いため、MOS トランジスタ  $T6$ ,  $T8$  を介して発生するキャパシタ  $C2$ ,  $C1$  からのリーク電流を抑制することができる。

## 【0 0 4 5】

このように行毎に動作して画素  $G11 \sim Gmn$  全てから映像信号が出力された後、再び、画素  $G11 \sim Gmn$  全てに対して、同一のタイミングで、信号  $\phi S$ ,  $\phi SW$ ,  $\phi VPS$ ,  $\phi RSA$ ,  $\phi RSb$ ,  $\phi VRS$  が上述した動作を行う。又、本動作例においては、垂直ブランク期間とほぼ同一となる期間の間、信号  $\phi VRS$  の値を  $Vh$  とする。

## 【0 0 4 6】

## 2. 画素の動作の第 2 例

又、図 3 のような構成の画素の動作の第 2 例について、図 5 のタイミングチャートを参照して以下に説明する。尚、本動作例において、図 4 のタイミングチャートによる第 1 例と同一の動作については、詳細な説明は省略する。まず、第 1 例と同様、信号  $\phi S$  をローとして MOS トランジスタ  $T7$  を ON とするとともに信号  $\phi VPS$  を  $VL$  とすることで、フォトダイオード  $PD$  より入射光量に応じた光電荷が MOS トランジスタ  $T1$  に流れ込み、キャパシタ  $C1$  において積分動作が

行われる。このとき、信号 $\phi$  VRSの値をV<sub>l</sub>としてMOSトランジスタT<sub>6</sub>、T<sub>8</sub>のソース・ドレイン間の電圧差を低くする。

【0047】

その後、まず、信号 $\phi$  VRSの値をV<sub>h</sub>とするとともに信号 $\phi$  RS<sub>b</sub>をローとして、MOSトランジスタT<sub>6</sub>をONとするとともにMOSトランジスタT<sub>6</sub>のソース電圧を高くすることで、MOSトランジスタT<sub>6</sub>によってMOSトランジスタT<sub>4</sub>のゲートとキャパシタC<sub>2</sub>との接続ノードの電圧をリセットする。そして、信号 $\phi$  VRSをV<sub>l</sub>とするとともに信号 $\phi$  RS<sub>b</sub>をハイとすることで、MOSトランジスタT<sub>6</sub>をOFFとするとともに、MOSトランジスタT<sub>6</sub>、T<sub>8</sub>のソース・ドレイン間の電圧差を再び低くする。

【0048】

その後、第1例と同様、ローとなるパルス信号 $\phi$  SWをMOSトランジスタT<sub>5</sub>に与えて、キャパシタC<sub>1</sub>に現れる電圧をキャパシタC<sub>2</sub>にサンプルホールドした後、信号 $\phi$  Sをハイとして、MOSトランジスタT<sub>1</sub>、T<sub>2</sub>のリセットを開始する。このとき、信号 $\phi$  VPSを一時的にV<sub>H</sub>とすることによって、MOSトランジスタT<sub>1</sub>、T<sub>2</sub>のゲートに蓄積された負の電荷の再結合を速やかに行う。又、信号 $\phi$  VPSを一時的にV<sub>H</sub>とするとき、信号 $\phi$  VRSの値をV<sub>h</sub>とするとともに信号 $\phi$  RS<sub>a</sub>をローとして、MOSトランジスタT<sub>8</sub>をONとするとともにMOSトランジスタT<sub>8</sub>のソース電圧を高くすることで、キャパシタC<sub>1</sub>をリセットする。そして、信号 $\phi$  SをローとしてフォトダイオードPDとMOSトランジスタT<sub>1</sub>、T<sub>2</sub>とをMOSトランジスタT<sub>7</sub>を介して電氣的に接続する。

【0049】

その後、再び、信号 $\phi$  VPSを一時的にV<sub>H</sub>とすることで、フォトダイオードPDに残留している負の電荷を再結合して、フォトダイオードPD及びMOSトランジスタT<sub>1</sub>、T<sub>2</sub>のポテンシャルを初期化した後、信号 $\phi$  VPSをV<sub>L</sub>とする。このとき、同時に、信号 $\phi$  VRSの値をV<sub>h</sub>とするとともに信号 $\phi$  RS<sub>a</sub>をローとして、MOSトランジスタT<sub>8</sub>をONとするとともにMOSトランジスタT<sub>8</sub>のソース電圧を高くすることで、キャパシタC<sub>1</sub>をリセットする。その後、信号 $\phi$  RS<sub>a</sub>をハイとしてMOSトランジスタT<sub>8</sub>をOFFとするとともに、信号 $\phi$  V

PSをローとする。そして、信号 $\phi$  VRSの値を $V_1$ として、MOSトランジスタ $T_6$ 、 $T_8$ のソース・ドレイン間の電圧差を低くする。

#### 【0050】

この信号 $\phi$  S、 $\phi$  SW、 $\phi$  VPS、 $\phi$  R S a、 $\phi$  R S b、 $\phi$  VRSについては、第1例と同様、垂直ブランク期間において、固体撮像装置を構成する画素 $G_{11} \sim G_{mn}$ 全てを同時に動作させる。その後、第1例と同様、行毎に、ローのパルス信号 $\phi$  Vを与えて、MOSトランジスタ $T_3$ をONとすることで、画素 $G_{11} \sim G_{mn}$ 全てから映像信号が出力される。このように、本動作例では、キャパシタ $C_1$ 、 $C_2$ をリセットするときのみ、信号 $\phi$  VRSを $V_h$ とするため、第1例に比べて、垂直ブランク期間においても、リーク電流を低減させることができる。

#### 【0051】

### 3. 画素の別の構成

本実施形態の画素の構成を、図6のように、MOSトランジスタ $T_8$ のソースに直流電圧VRSが印加されるようにしても構わない。このように構成したとき、MOSトランジスタ $T_8$ のソースには、常に値が $V_h$ となる直流電圧VRSが印加されるため、信号 $\phi$  VRSの値にかかわらず、キャパシタ $C_1$ のリセット動作を行うことができる。よって、図7のように、ローのパルス信号 $\phi$  R S bが与えられてキャパシタ $C_2$ をリセットするときのみ、信号 $\phi$  VRSを $V_h$ とすればよい。

#### 【0052】

### <第2の実施形態>

又、図1に示した画素構成の各画素に適用される第2の実施形態について、図面を参照して説明する。図8は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。図8の回路において、電圧信号 $\phi$  V、 $\phi$  V D bは、垂直走査回路1内のドライバより供給され、電圧信号 $\phi$  V、 $\phi$  V D b以外の電圧信号はドライバ11より供給される。

#### 【0053】

図8に示す画素は、先の実施形態で適用された図3に示す画素構成に対して、MOSトランジスタ $T_5$ のソースにドレインが接続されたMOSトランジスタ $T_9$ と、MOSトランジスタ $T_5$ のソースにゲートが接続されるとともにMOSト

ランジスタ T4 のゲートとキャパシタ C2 との接続ノードにソースが接続された MOS トランジスタ T10 とを付加した構成となる。尚、MOS トランジスタ T9, T10 はそれぞれ、MOS トランジスタ T1 ~ T8 と同様、P チャネルの MOS トランジスタである。

#### 【0054】

又、MOS トランジスタ T10 のドレインには直流電圧 VPD が印加され、MOS トランジスタ T9 のソースには信号  $\phi$  VRS が入力される。又、MOS トランジスタ T9 のゲートに、信号  $\phi$  RSc が入力される。更に、キャパシタ C1, C2 の他端にはそれぞれ、信号  $\phi$  VDa, VD b が与えられる。

#### 【0055】

尚、信号  $\phi$  VDa,  $\phi$  VD b も 2 値の電圧信号で、キャパシタ C1, C2 が積分動作を行う際の電圧をそれぞれ Vha, Vhb とし、又、MOS トランジスタ T10, T4 それぞれの動作範囲で有効にするためにオフセット電圧を与える電圧を V1a, V1b とする。

#### 【0056】

##### 1. 画素の動作の第 1 例

図 8 のような構成の画素の動作の第 1 例について、図 9 のタイミングチャートを参照して以下に説明する。尚、本動作例において、図 4 のタイミングチャートによる第 1 の実施形態における画素の動作の第 1 例と同一の動作については、詳細な説明は省略する。まず、信号  $\phi$  S をローとするとともに信号  $\phi$  VPS を VL とすることで、フォトダイオード PD より入射光量に応じた光電荷が MOS トランジスタ T1 に流れ込む。このとき、信号  $\phi$  VDa,  $\phi$  VD b については、その値を Vha, Vhb とすることによって、キャパシタ C1, C2 が積分動作を行える状態としているため、キャパシタ C1 において積分動作が行われる。又、信号  $\phi$  VRS の値を V1 とし MOS トランジスタ T6, T8, T9 のソース・ドレイン間の電圧差を低くする。

#### 【0057】

その後、まず、信号  $\phi$  RS b,  $\phi$  RSc をローとして MOS トランジスタ T6, T9 を ON とするとともに信号  $\phi$  VRS を Vh とし MOS トランジスタ T6,

T9のソース電圧を高くすることで、MOSトランジスタT10のソースとキャパシタC2との接続ノードにおける電圧及びMOSトランジスタT10のゲート電圧をリセットする。そして、信号 $\phi$ RSb,  $\phi$ RScをハイとすると、信号 $\phi$ VDaをVhaからVlaとした後、ローのパルス信号 $\phi$ SWを与える。

#### 【0058】

このとき、信号 $\phi$ SWがローとなることで、MOSトランジスタT5がONとなり、MOSトランジスタT2のソースとキャパシタC1との接続ノードに現れる電圧がMOSトランジスタT10のゲートにサンプルホールドされる。よって、MOSトランジスタT10のソースに、ゲートにサンプルホールドされた電圧に応じた電流が流れるため、キャパシタC2にMOSトランジスタT10を通じて負の電荷が流れ込み、積分動作が行われる。尚、信号 $\phi$ VDaをVlaとしてオフセット電圧を与えることによって、MOSトランジスタT10のゲートに与える電圧を、MOSトランジスタT10の動作範囲で有効なものとすることができる。

#### 【0059】

その後、信号 $\phi$ SWをハイとした後に、信号 $\phi$ VDaをVhaとする。又、信号 $\phi$ SWをハイとした後、信号 $\phi$ Sをハイとして、MOSトランジスタT1のゲート及びドレインとMOSトランジスタT2のゲートのリセットを開始する。このとき、信号 $\phi$ VPSを一時的にVHとすることによって、MOSトランジスタT2のゲートに蓄積された負の電荷の再結合を速やかに行う。このように、信号 $\phi$ VPSをVHにしている間、信号 $\phi$ RSaをローとして、MOSトランジスタT8をONにして、キャパシタC1とMOSトランジスタT2のゲートとの接続ノードの電圧を初期化する。

#### 【0060】

そして、信号 $\phi$ VPSをVLとしてMOSトランジスタT1のポテンシャルを初期化し、又、信号 $\phi$ RSaをハイとしてMOSトランジスタT8をOFFとする。その後、信号 $\phi$ Sをローとして、MOSトランジスタT7をONとし、MOSトランジスタT1, T2とフォトダイオードPDとの間を電氣的に接続する。そして、再び、信号 $\phi$ VPSをVHとすることによって、フォトダイオードPDに残

留している負の電荷が再結合した後、信号 $\phi$  VPSをVLとする。このとき同時に、信号 $\phi$  R S a,  $\phi$  R S cをローとして、キャパシタC1及びMOSトランジスタT10のゲートを初期化する。そして、信号 $\phi$  VRSの値をV1として、MOSトランジスタT6, T8, T9のソース・ドレイン間の電圧差を低くする。

#### 【0061】

この信号 $\phi$  S,  $\phi$  SW,  $\phi$  VPS,  $\phi$  R S a~R S c,  $\phi$  V D a,  $\phi$  VRSについては、固体撮像装置を構成する画素G11~Gmn全てにおいて同時に動作させる。よって、同一タイミングで撮像されて得られた電気信号を映像信号としてキャパシタC2に蓄積させることができる。即ち、キャパシタC2とMOSトランジスタT10のソースとの接続ノードには、入射光量の積分値に線形的に又は自然対数的に比例した電圧値が現れる。

#### 【0062】

その後、行毎に、信号 $\phi$  V D bをV1bとした後、ローのパルス信号 $\phi$  Vを与えて、MOSトランジスタT3をONとする。よって、MOSトランジスタT4において、キャパシタC2で積分された入射光量の積分値に応じた電圧に対する電流が流れて、信号線4に、積分された入射光量の積分値に応じた電圧値となる映像信号が現れる。尚、信号 $\phi$  V D bをV1bとしてオフセット電圧を与えることによって、MOSトランジスタT4のゲートに与える電圧を、MOSトランジスタT4の動作範囲で有効なものとすることができる。そして、信号 $\phi$  Vをハイとした後、信号 $\phi$  V D bをVh bとする。

#### 【0063】

このように行毎に動作して画素G11~Gmn全てから映像信号が出力された後、再び、画素G11~Gmn全てに対して、同一のタイミングで、信号 $\phi$  S,  $\phi$  SW,  $\phi$  VPS,  $\phi$  R S a~R S c,  $\phi$  V D a,  $\phi$  VRSが上述した動作を行う。又、本動作例においては、第1の実施形態における第1例と同様、垂直ブランク期間とはほぼ同一となる期間の間、信号 $\phi$  VRSの値をVhとする。

#### 【0064】

### 2. 画素の動作の第2例

又、図8のような構成の画素の動作の第2例について、図10のタイミングチ

ャートを参照して以下に説明する。尚、本動作例と上述の第1例との関係は、第1の実施形態における画素の動作の第2例と第1例との関係とほぼ等しい。よって、図10のタイミングチャートにおいて、図5及び図9のタイミングチャートと同一の動作については、詳細な説明は省略する。

#### 【0065】

本動作例において、信号 $\phi S$ 、 $\phi SW$ 、 $\phi VPS$ 、 $\phi R S a \sim R S c$ 、 $\phi V D a$ 、 $\phi V D b$ が、本実施形態の第1例と同様のタイミングで動作する。そして、第1の実施形態の第2例と同様、信号 $\phi R S a \sim \phi R S c$ のいずれか一つがローとなるときに、MOSトランジスタT6、T8、T9のソース電圧を高くするために、信号 $\phi VRS$ の値が $V_h$ とされる。このように、本動作例では、キャパシタC1、C2及びMOSトランジスタT10のゲートをリセットするときのみ、信号 $\phi VRS$ を $V_h$ とするため、第1例に比べて、垂直ブランク期間においても、リーク電流を低減させることができる。

#### 【0066】

又、本実施形態では、第1の実施形態と異なり、MOSトランジスタT5をONとしたとき、キャパシタC1によって積分された電圧値がMOSトランジスタT10で増幅されてキャパシタC2で再び積分される。このとき、キャパシタC1に蓄積された電荷がMOSトランジスタT10のゲート容量と容量分割されるが、このゲート容量はキャパシタC1の容量に比べて非常に小さいので、MOSトランジスタT10においてサンプルホールドされたときの感度の低下はほとんど起こらない。

#### 【0067】

### 3. 画素の別の構成

本実施形態の画素の構成を、図11のように、MOSトランジスタT8、T9のソースに直流電圧VRSが印加されるようにしても構わない。図11の回路においても、電圧信号 $\phi V$ 、 $\phi V D b$ は、垂直走査回路1内のドライバより供給され、電圧信号 $\phi V$ 、 $\phi V D b$ 以外の電圧信号はドライバ11より供給される。このように構成したとき、MOSトランジスタT8、T9のソースには、常に値が $V_h$ となる直流電圧VRSが印加されるため、信号 $\phi VRS$ の値にかかわらず、キャパ



シタ C1 及び MOS トランジスタ T10 のゲートのリセット動作を行うことができる。よって、図 12 のように、ローのパルス信号  $\phi R S b$  が与えられてキャパシタ C2 をリセットするときのみ、信号  $\phi V R S$  を  $V h$  とすればよい。

#### 【0068】

又、本実施形態において、各画素の構成を、図 13 のように、図 8 の構成から MOS トランジスタ T8 を削除した構成としても構わない。図 13 の回路においても、電圧信号  $\phi V$ 、 $\phi V D b$  は、垂直走査回路 1 内のドライバより供給され、電圧信号  $\phi V$ 、 $\phi V D b$  以外の電圧信号はドライバ 11 より供給される。このとき、各画素の動作の第 1 例のように、垂直ブランク期間に相当する期間において信号  $\phi V R S$  を  $V h$  とする場合、図 14 のようなタイミングチャートに従った動作を行い、又、MOS トランジスタ T6、T9 を ON する期間において信号  $\phi V R S$  を  $V h$  とする場合、図 15 のようなタイミングチャートに従った動作を行う。

#### 【0069】

このとき、図 8 のような構成の画素と異なり、信号  $\phi V P S$  を  $V H$  とするとともに信号  $\phi R S c$  をローとすると、信号  $\phi S W$  をローとすることで、キャパシタ C1 及び MOS トランジスタ T10 のゲートをリセットする。又、図 14 のようなタイミングチャートに従った動作を行うとき、信号  $\phi V R S$  の値が  $V h$  とされるときとともに信号  $\phi R S b$ 、 $\phi R S c$  がともにローとされ、信号  $\phi R S c$ 、 $\phi S W$  がともにハイとされるときとともに信号  $\phi V R S$  の値が  $V l$  とされる。又、図 15 のようなタイミングチャートに従った動作を行うとき、信号  $\phi R S b$ 、 $\phi R S c$  の少なくともいずれか一方がローとされるときに信号  $\phi V R S$  の値が  $V h$  とされる。更に、このとき、図 11 の構成と同様、MOS トランジスタ T9 のソースに直流電圧  $V R S$  が印加されるようにしても構わない。

#### 【0070】

又、第 1 の実施形態において、第 2 の実施形態と同様、図 16 のように、キャパシタ C1、C2 の他端に信号  $\phi V D a$ 、 $V D b$  が与えられ、ローのパルス信号  $\phi S W$  が与えられるとき信号  $\phi V D a$  の値を  $V l a$  とするとともに、ローのパルス信号  $\phi V$  が与えられるとき信号  $\phi V D b$  の値を  $V l b$  とするようによっても構わない。図 16 の回路においても、電圧信号  $\phi V$ 、 $\phi V D b$  は、垂直走査回路 1 内

のドライバより供給され、電圧信号  $\phi V$ ,  $\phi V D b$  以外の電圧信号はドライバ 1 より供給される。

#### 【0071】

尚、第 1 及び第 2 の実施形態において、光電変換回路 100 が MOS トランジスタ T1, T2, T7 及びフォトダイオード PD で構成されるものとしたが、図 17 に示すように、アノードが MOS トランジスタ T5 のドレインに接続されたフォトダイオード PD によって構成されるとともに線形変換動作を行う光電変換回路 100a を用いても構わない。このとき、MOS トランジスタ T8 のドレインがフォトダイオード PD のアノードと MOS トランジスタ T5 のドレインとの接続ノードに接続されて、MOS トランジスタ T8 がフォトダイオード PD のアノードと MOS トランジスタ T5 のドレインとの接続ノードの電圧をリセットするために動作する。又、キャパシタ C1 を除いた構成となる。

#### 【0072】

図 17 のように構成されるとき、この画素の動作は、図 18 又は図 19 のタイミングチャートに従った動作となる。図 18 及び図 19 のタイミングチャートにおいて、信号信号  $\phi SW$ ,  $\phi RS a$ ,  $\phi RS b$  は同様の動作を行う。即ち、まず、ローとなるパルス信号  $\phi RS b$  が与えられてキャパシタ C2 がリセットされた後、ローとなるパルス信号  $\phi SW$  が与えられてフォトダイオード PD のアノードに現れる電圧がキャパシタ C2 にサンプルホールドされる。そして、ローとなるパルス信号  $\phi RS a$  が与えられてフォトダイオード PD のアノード側がリセットされて、垂直ブランク期間が終了する。その後、各行毎にローとなるパルス信号  $\phi V$  が与えられて各行の画素からの出力信号が出力される。

#### 【0073】

このとき、図 18 のタイミングチャートでは、信号  $\phi VRS$  が  $V_h$  となるとともに信号  $\phi RS b$  がローとなり、又、信号  $\phi RS a$  がハイとなるとともに信号  $\phi VRS$  が  $V_l$  となることで、ほぼ垂直ブランク期間と等しい期間の間、信号  $\phi VRS$  の値が  $V_h$  とされる。又、図 19 のタイミングチャートでは、信号  $\phi RS a$ ,  $\phi RS b$  それぞれがローとなっている間、信号  $\phi VRS$  が  $V_h$  となることで、MOS トランジスタ T6, T8 がリセット動作を行っている間のみ、信号  $\phi VRS$  が  $V_h$  と

される。図18の回路においても、電圧信号 $\phi V$ は、垂直走査回路1内のドライバより供給され、電圧信号 $\phi V$ 以外の電圧信号はドライバ11より供給される。

#### 【0074】

尚、線形変換動作を行う光電変換回路100aの構成については、図17の構成に限らず、他の構成としても構わない。又、第2の実施形態のように、MOSトランジスタT10を備えた構成としても構わないし、キャパシタC1を設けた構成としても構わない。又、図6又は図11のように、MOSトランジスタT8に直流電圧VRSを印加した構成としても構わない。

#### 【0075】

又、第1及び第2の実施形態において、所定の輝度値で線形変換動作から対数変換動作に切り替わるように各画素をリセットするものとしたが、全輝度範囲で対数変換動作を行うようにしても構わない。更に、上述の各画素において、PチャネルのMOSトランジスタで構成されるようにしたが、NチャネルのMOSトランジスタで構成されるようにしても構わない。尚、このとき、第1及び第2の実施形態における画素構成はそれぞれ、図20、図21のように、各素子の極性が逆になるのみで、その接続関係は同様である。

#### 【0076】

##### 【発明の効果】

本発明によると、リセット電圧を2値以上とすることで、サンプルホールド回路において電気信号をサンプルホールドしているときのリセット電圧の電圧値と、サンプルホールド回路をリセットするときのリセット電圧の電圧値とを変化させることができる。このように、サンプルホールド回路において電気信号をサンプルホールドしているときのリセット電圧をサンプルホールド回路をリセットするときの電圧値と異なる電圧値とすることによって、サンプルホールド回路からのリーク電流を低減させることができる。よって、環境温度により変化するリーク電流による影響を低減させることができ、映像信号に対して環境温度の変化による影響を低減させることができる。又、複数の画素を備えるとき、各画素の出力タイミングが異なることより発生するシェーディングノイズを、リーク電流を抑制することにより低減することができる。

**【図面の簡単な説明】**

- 【図 1】 固体撮像装置の構成を示すブロック回路図。
- 【図 2】 図 1 の一部を示す図。
- 【図 3】 第 1 の実施形態における固体撮像装置内の画素の構成を示す回路図。
- 【図 4】 図 3 の画素の動作の第 1 例を示すタイミングチャート。
- 【図 5】 図 3 の画素の動作の第 2 例を示すタイミングチャート。
- 【図 6】 第 1 の実施形態における固体撮像装置内の画素の別の構成を示す回路図。
- 【図 7】 図 6 の画素の動作を示すタイミングチャート。
- 【図 8】 第 2 の実施形態における固体撮像装置内の画素の構成を示す回路図。
- 【図 9】 図 8 の画素の動作の第 1 例を示すタイミングチャート。
- 【図 10】 図 8 の画素の動作の第 2 例を示すタイミングチャート。
- 【図 11】 第 2 の実施形態における固体撮像装置内の画素の別の構成を示す回路図。
- 【図 12】 図 11 の画素の動作を示すタイミングチャート。
- 【図 13】 第 2 の実施形態における固体撮像装置内の画素の別の構成を示す回路図。
- 【図 14】 図 13 の画素の動作の第 1 例を示すタイミングチャート。
- 【図 15】 図 13 の画素の動作の第 2 例を示すタイミングチャート。
- 【図 16】 本発明の固体撮像装置内の画素の別の構成を示す回路図。
- 【図 17】 線形変換動作を行う本発明の固体撮像装置内の画素の構成を示す回路図。
- 【図 18】 図 17 の画素の動作の第 1 例を示すタイミングチャート。
- 【図 19】 図 17 の画素の動作の第 2 例を示すタイミングチャート。
- 【図 20】 本発明の固体撮像装置内の画素の構成を示す回路図。
- 【図 21】 本発明の固体撮像装置内の画素の構成を示す回路図。
- 【図 22】 従来の固体撮像装置内の画素の構成を示す回路図。

**【符号の説明】**

- 1 垂直走査回路

2 水平走査回路

3-1 ~ 3-n ライン

4-1 ~ 4-m 出力信号線

5 電源ライン

G11 ~ Gmn 画素

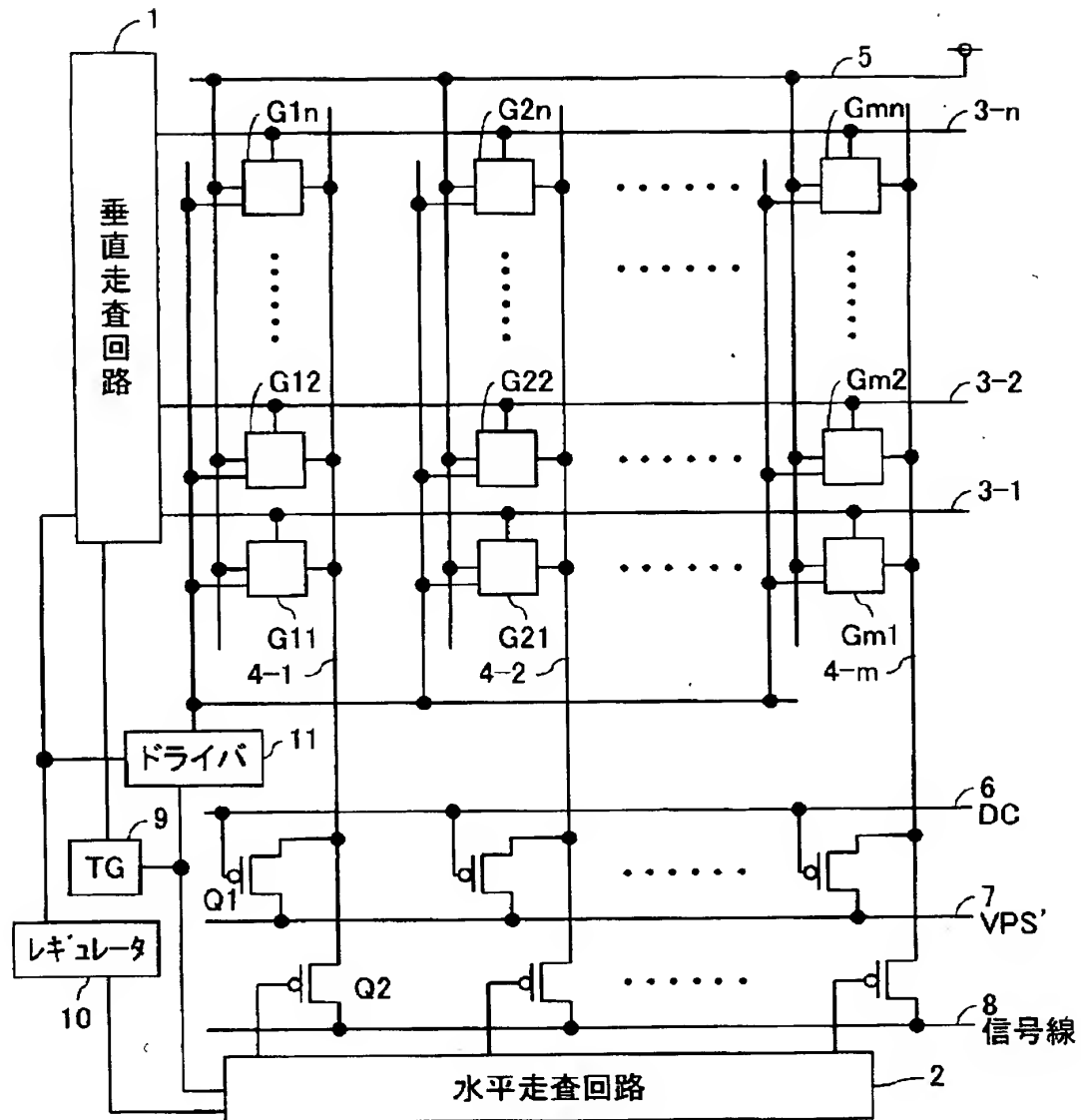
PD フォトダイオード

T1 ~ T10, Q1, Q2 MOSトランジスタ

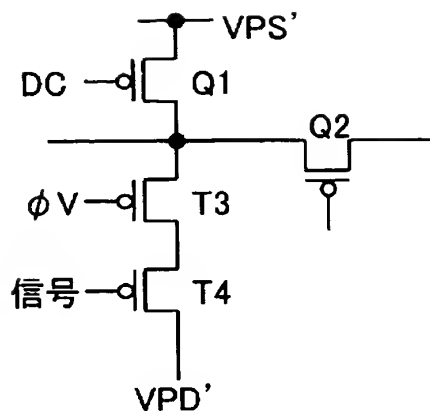
C1, C2 キャパシタ

【書類名】 図面

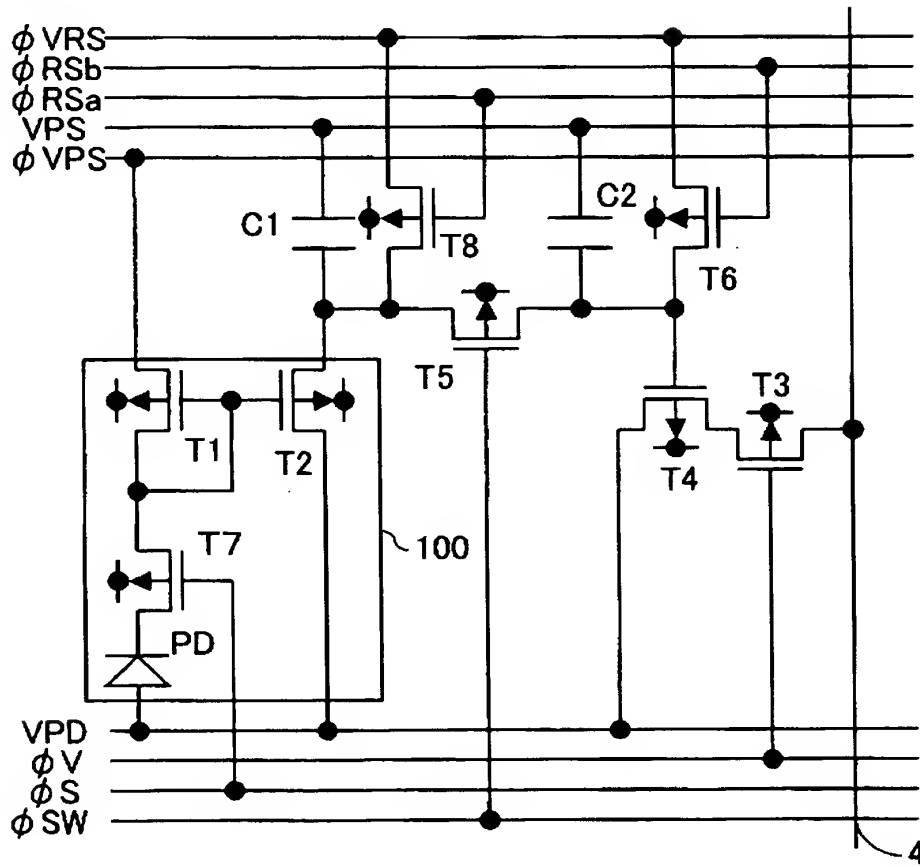
【図 1】



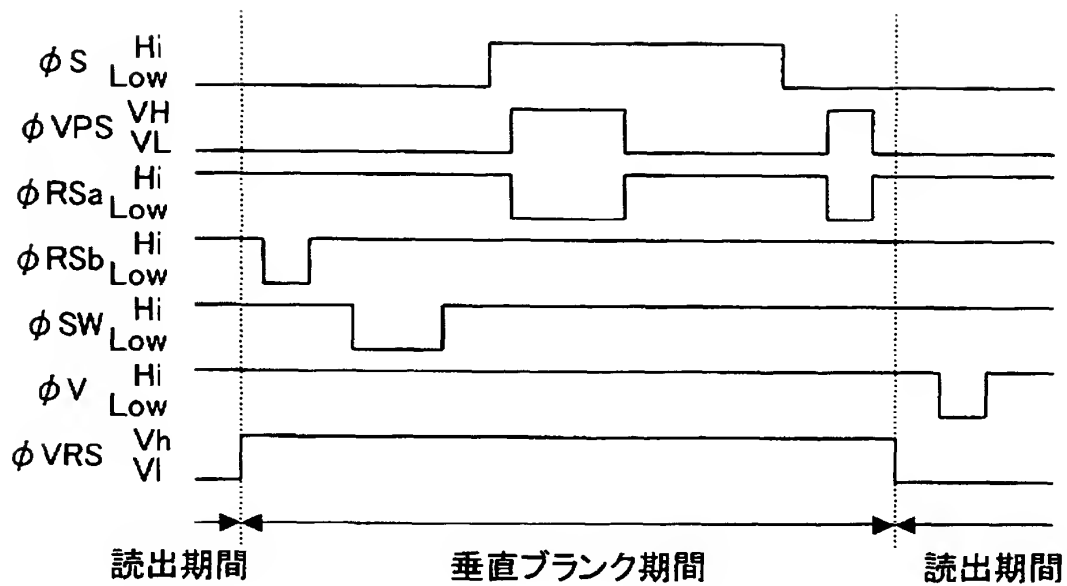
【図 2】



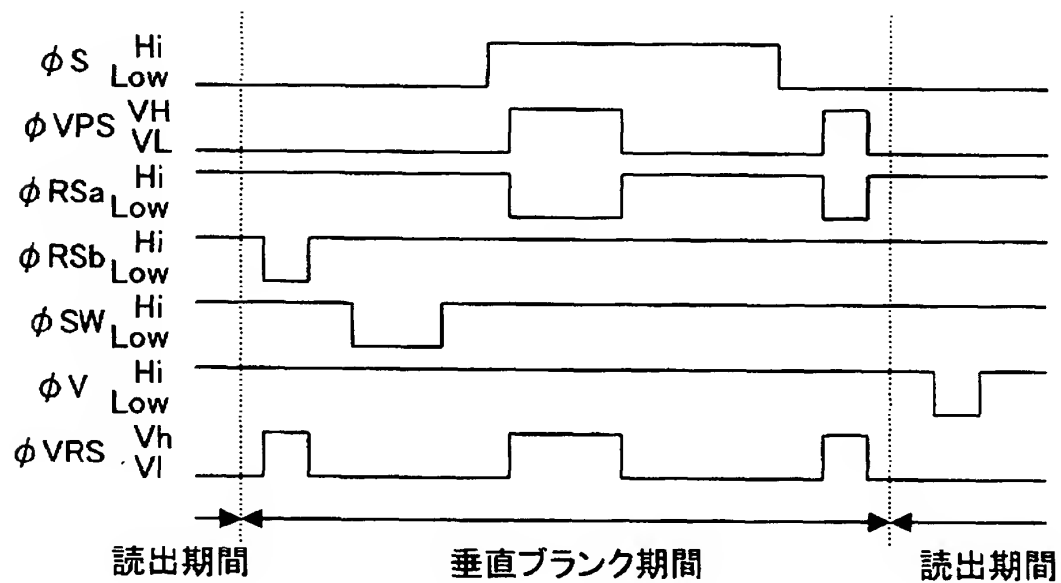
【図 3】



【図 4】

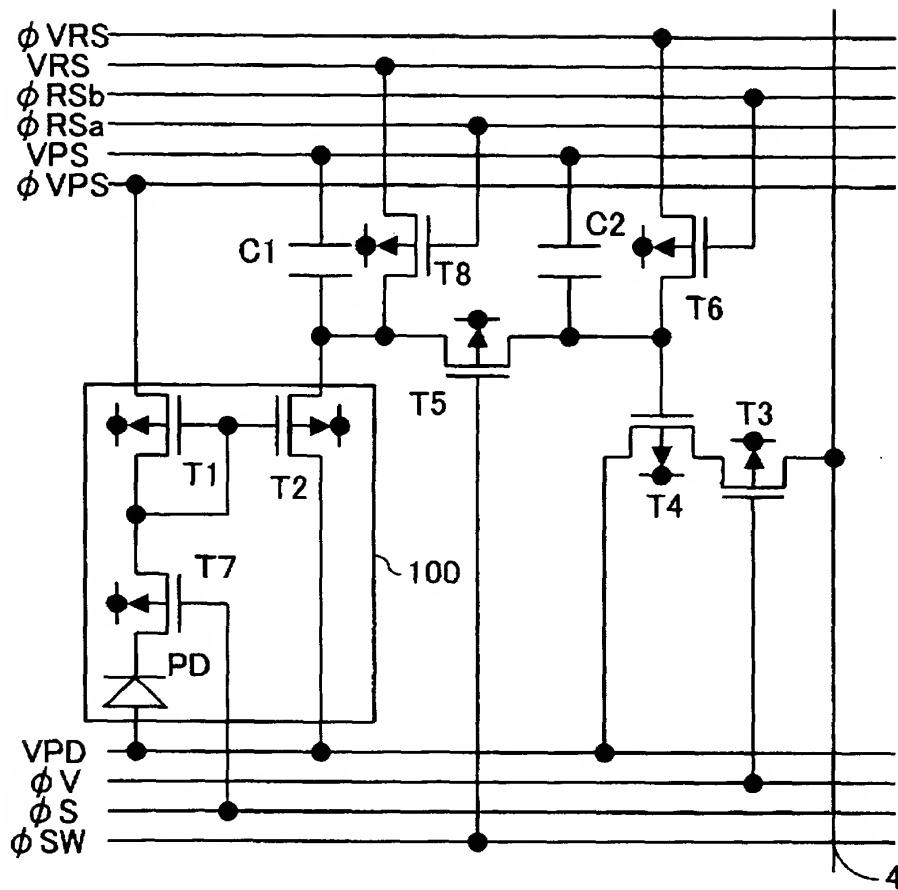


【図 5】

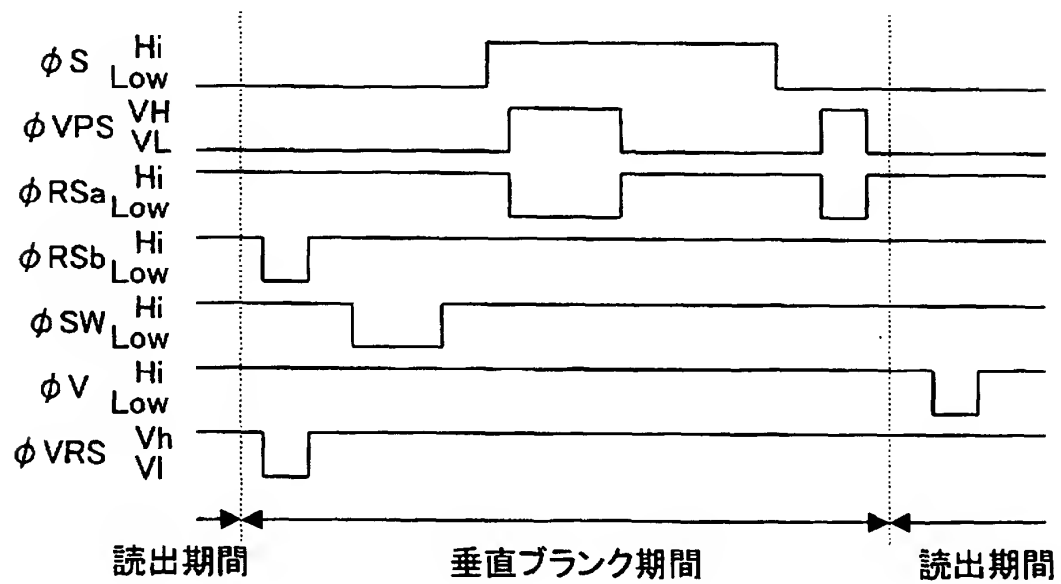




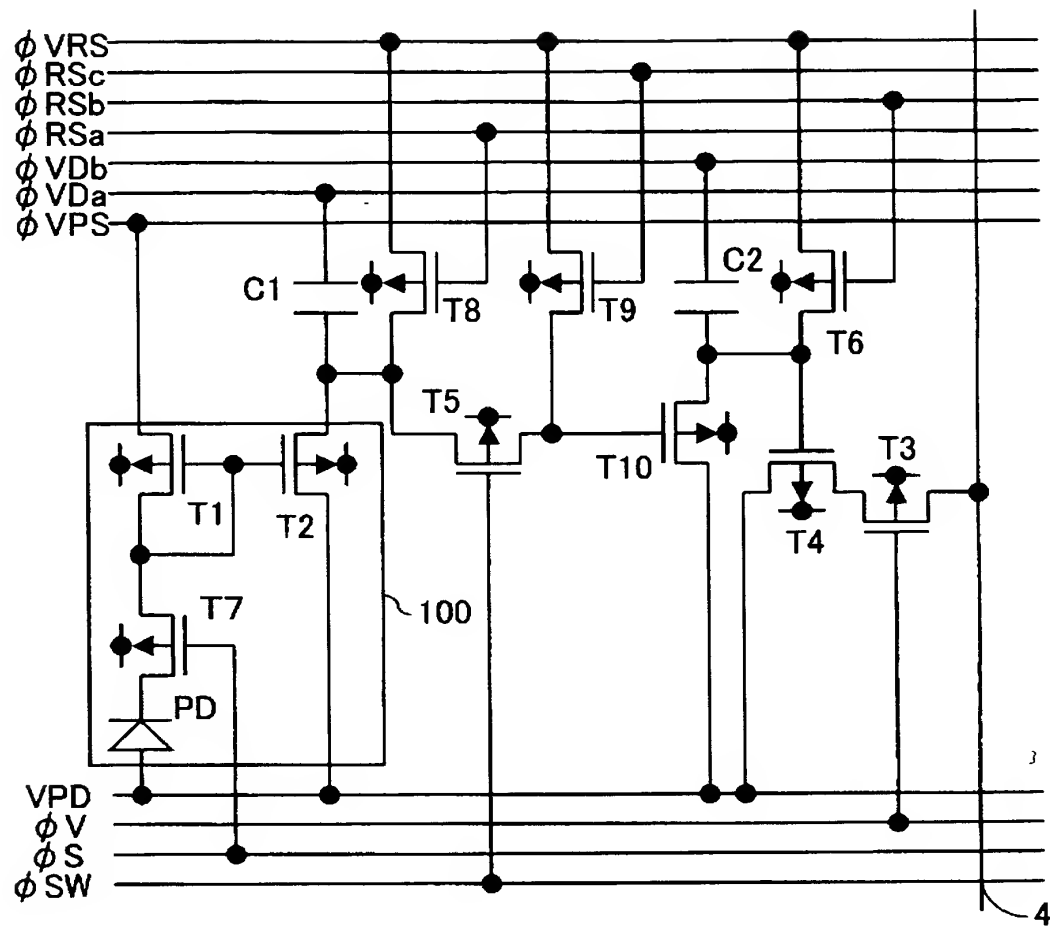
【図 6】



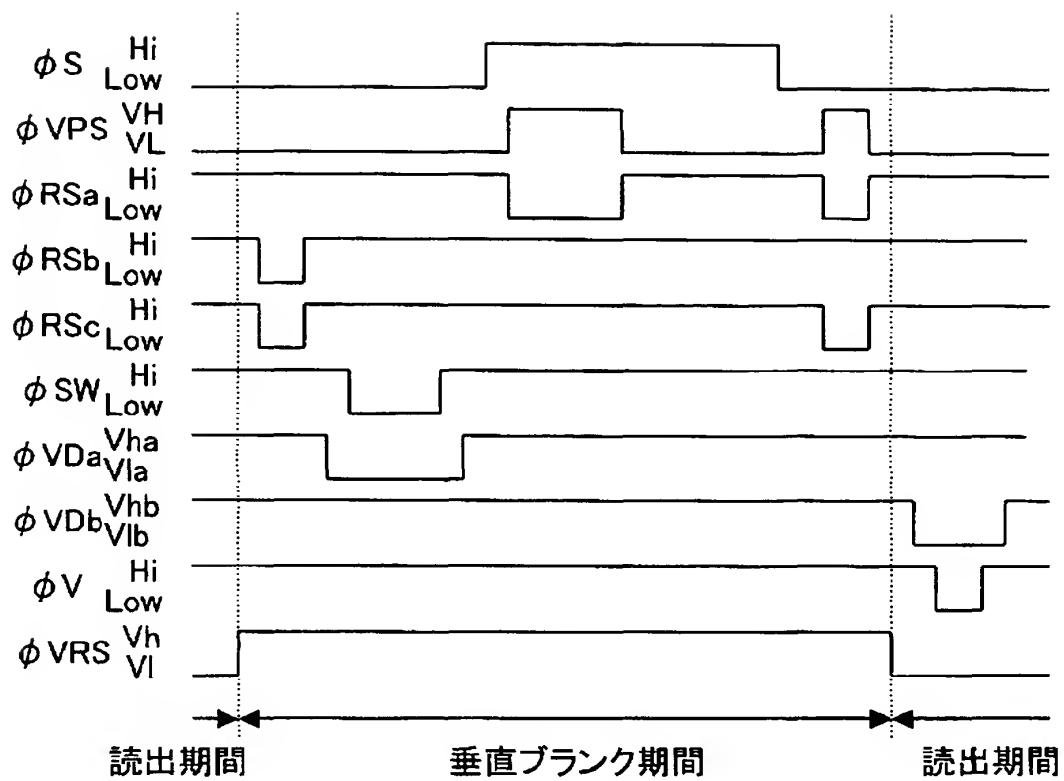
【図 7】



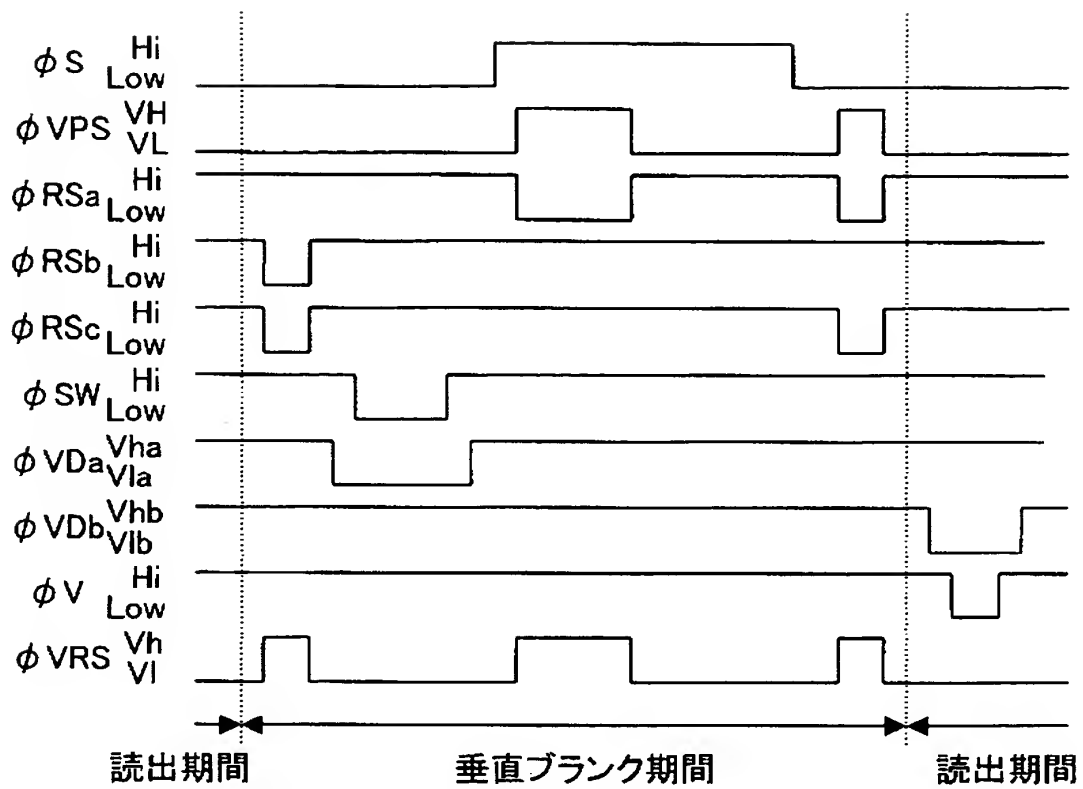
【図 8】



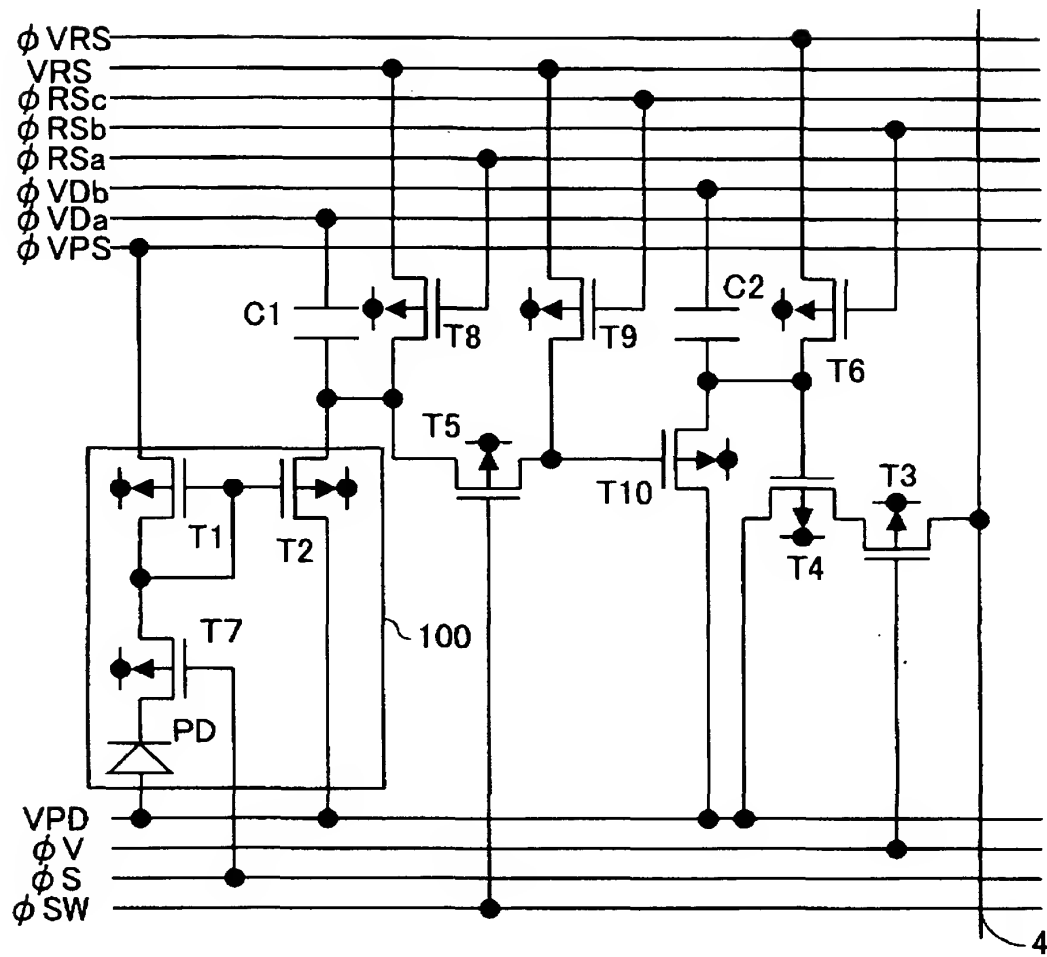
【図 9】



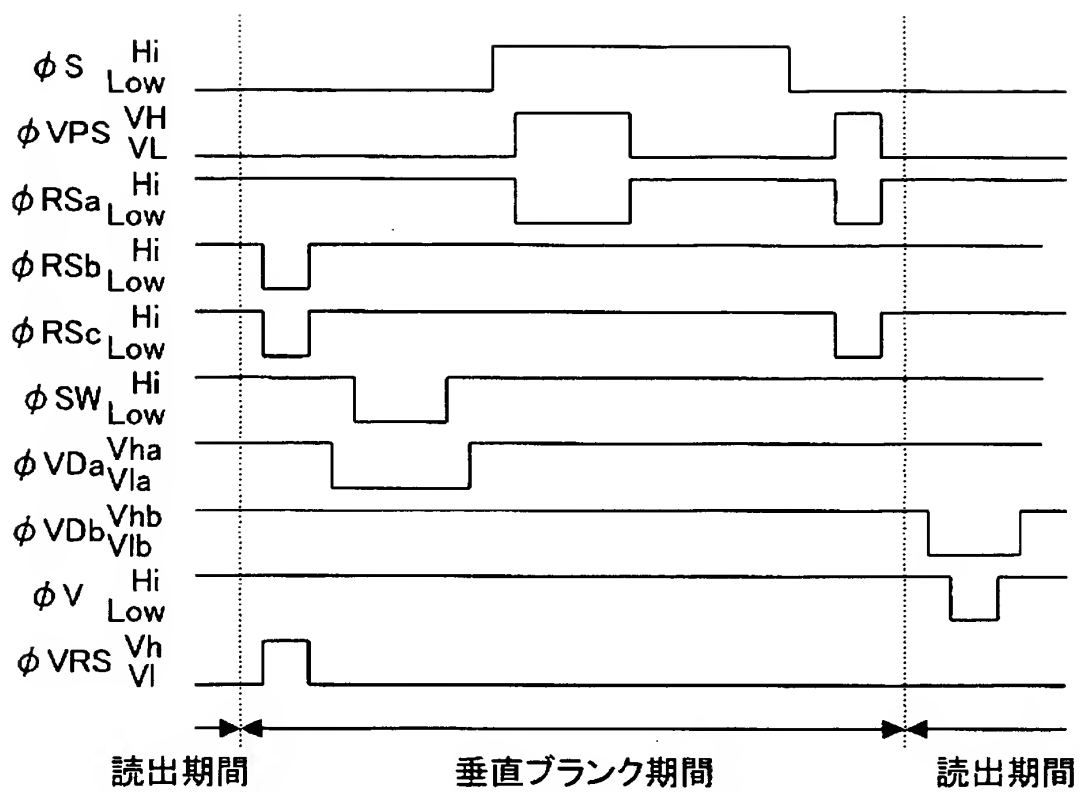
【図 10】



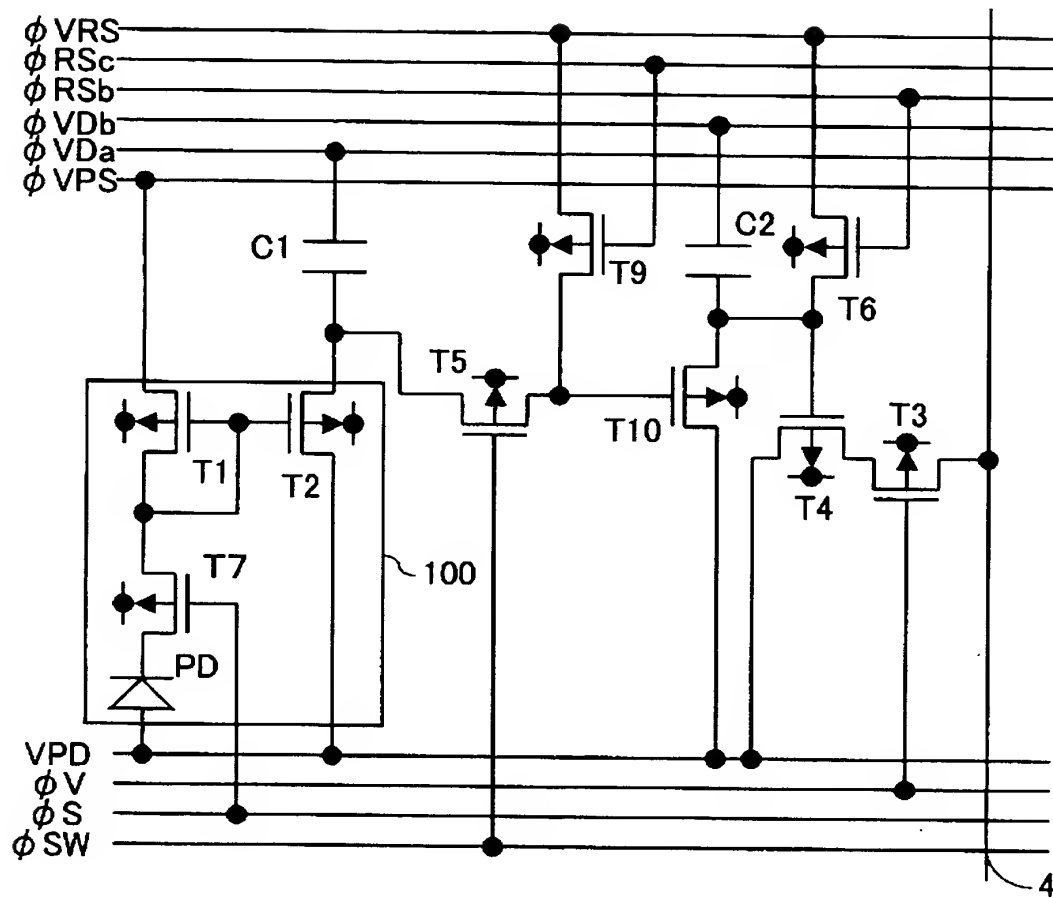
【図 11】



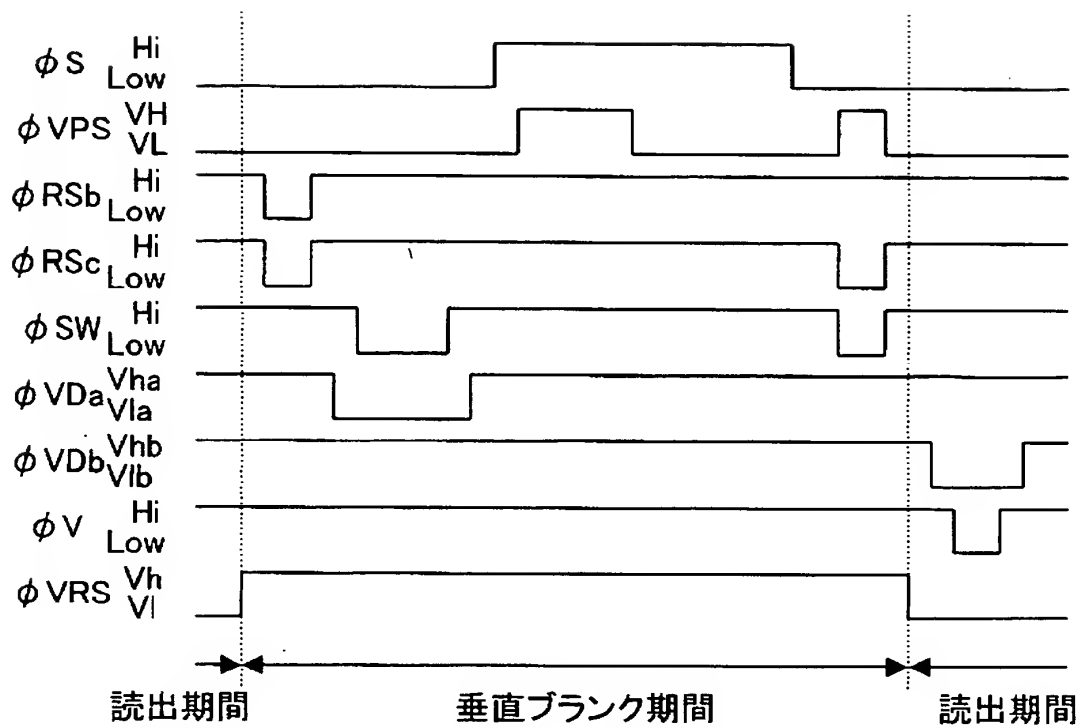
【図 12】



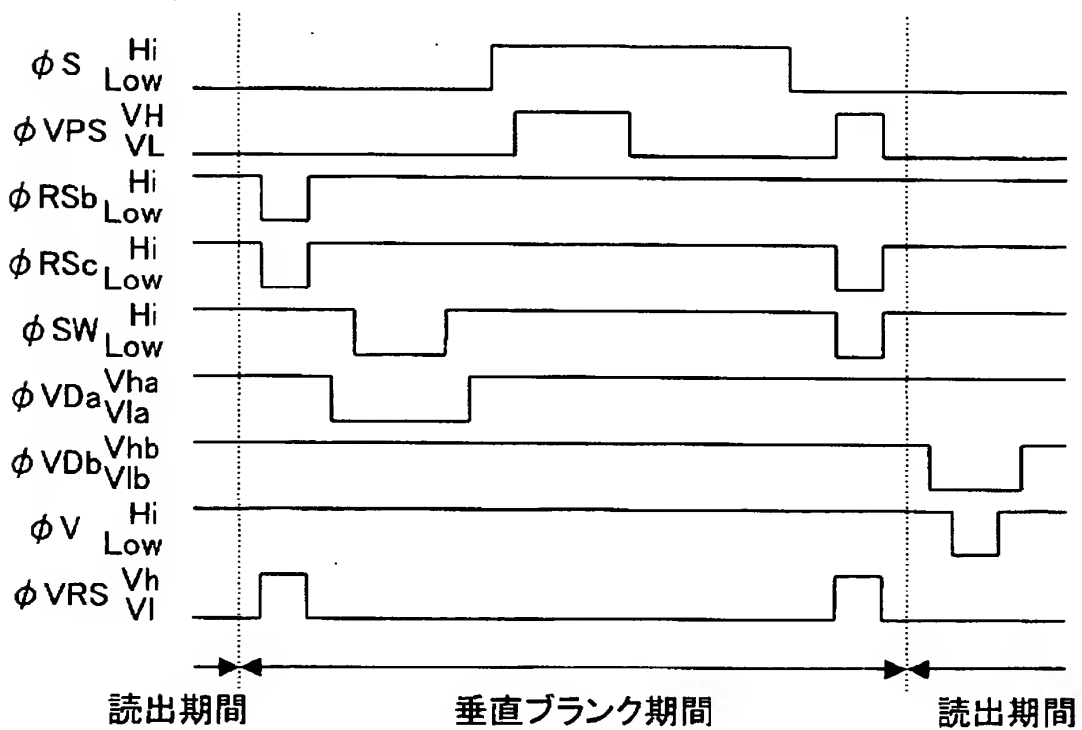
【図 13】



【図 14】

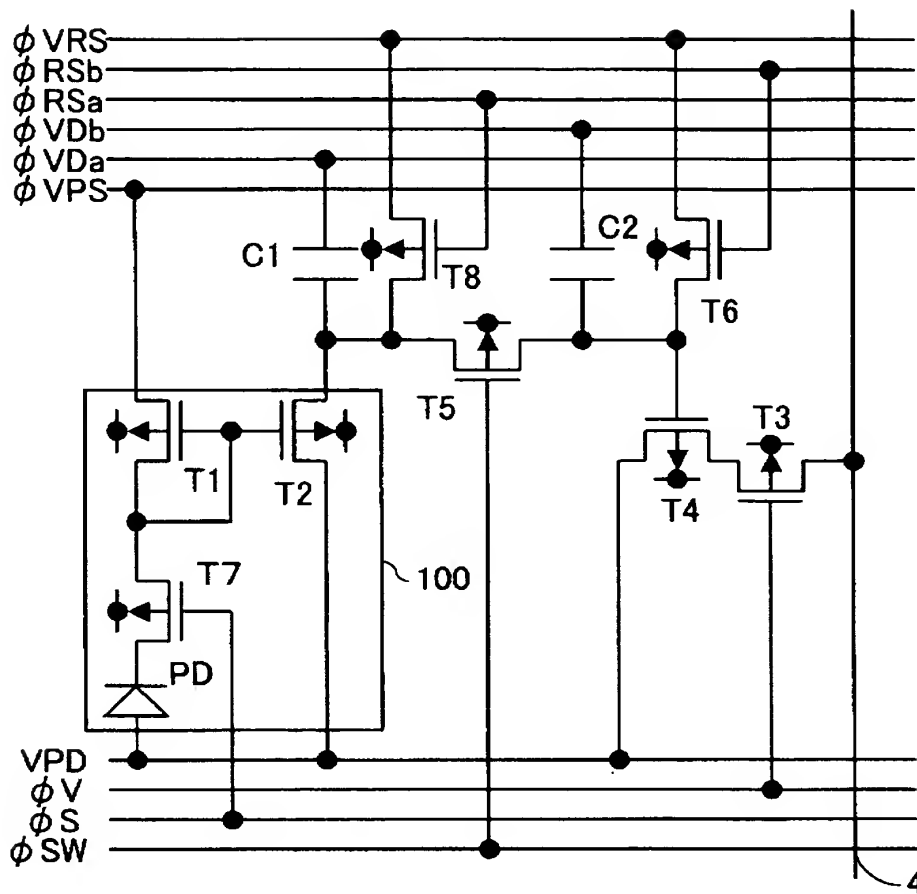


【図 15】

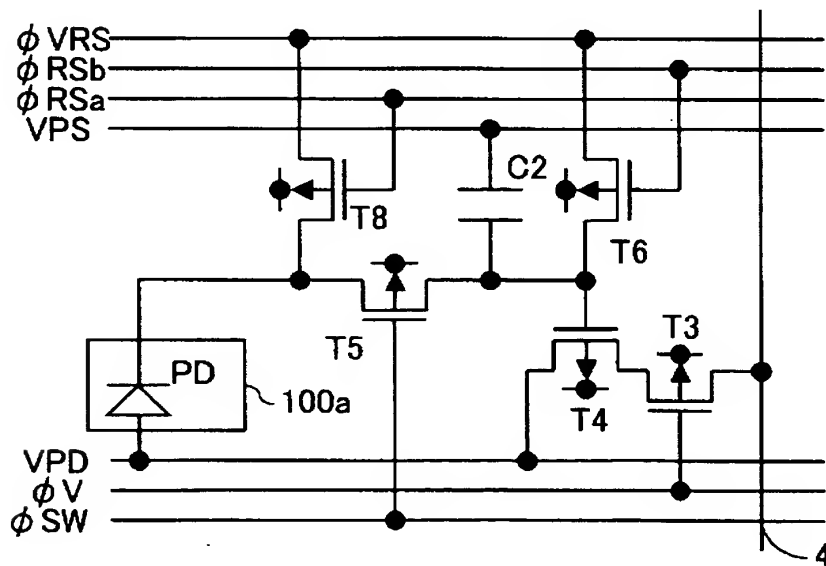




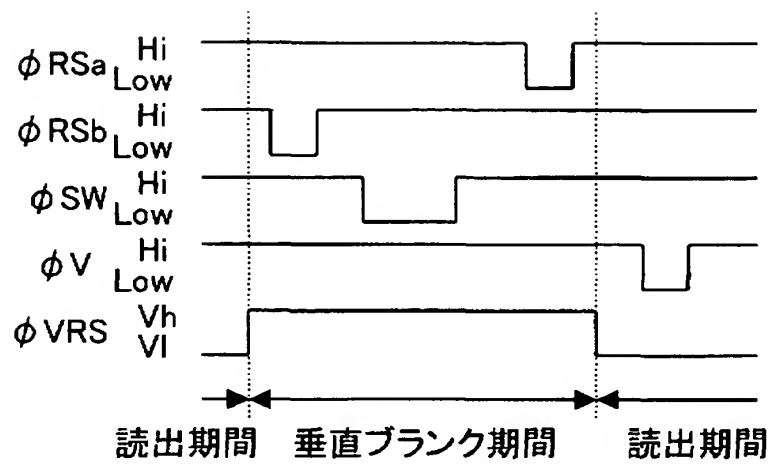
【図 16】



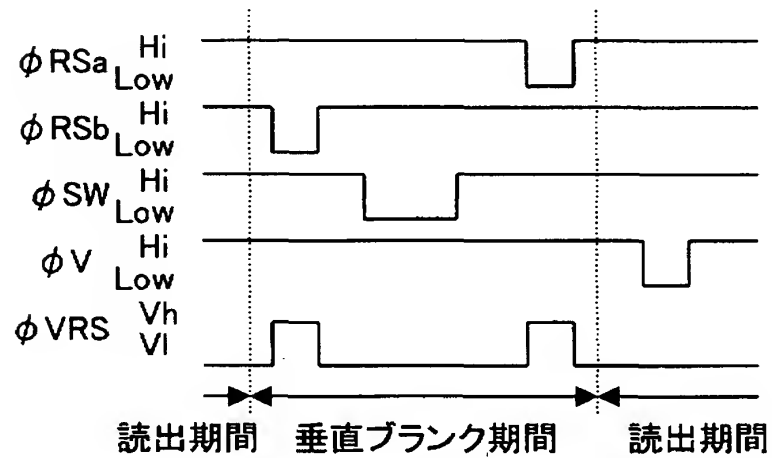
【図 17】



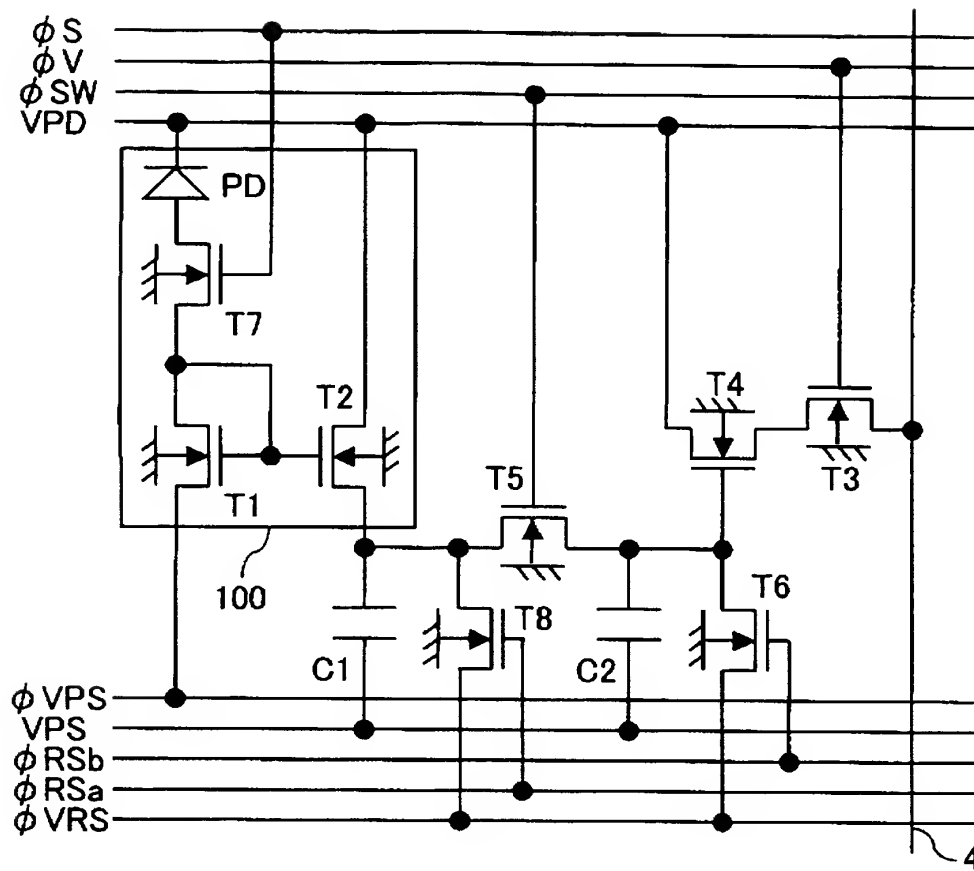
【図 1 8】



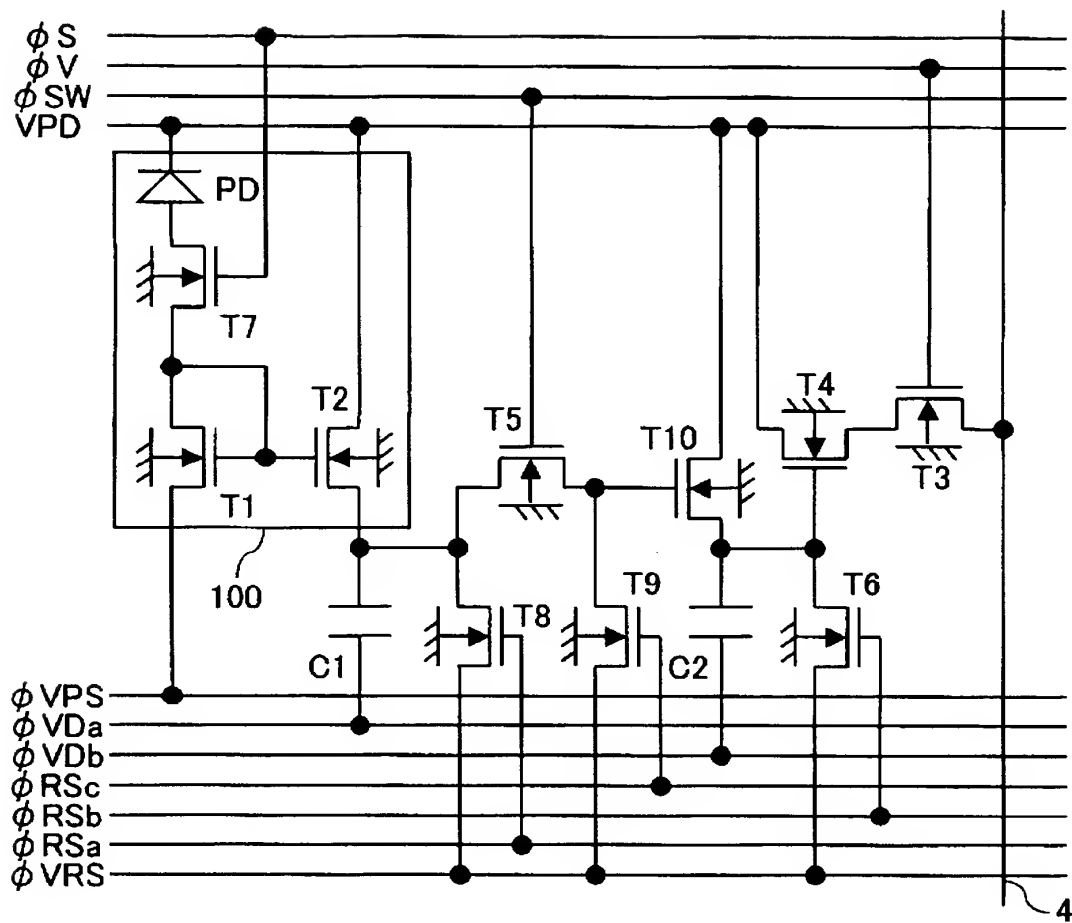
【図 1 9】



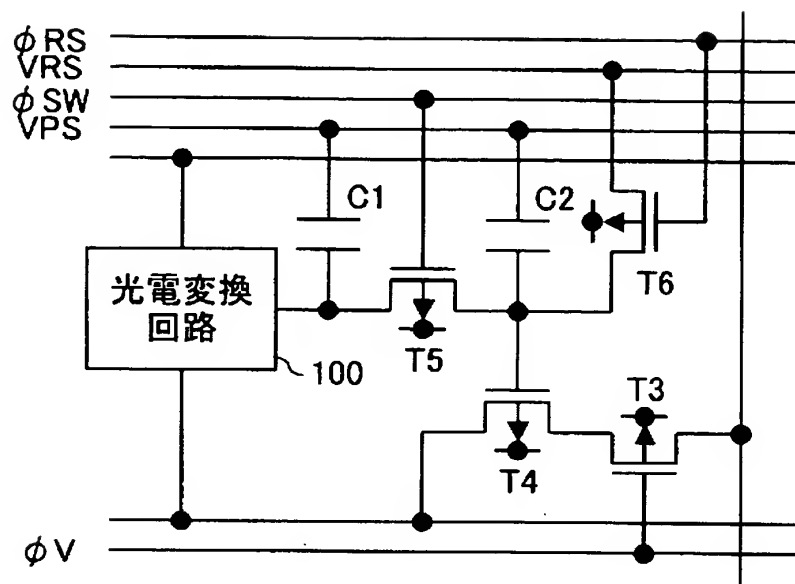
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 本発明は、全画素が同一のタイミングで撮像可能であるとともに、各画素におけるリーク電流を抑制することができる固体撮像装置を提供することを目的とする。

【解決手段】 キャパシタ C 2 と MOS トランジスタ T 4 のゲートとの接続ノードの電圧をリセットする MOS トランジスタ T 6 のソースに与えられるリセット電圧として、2 値以上の電圧値に変化する信号  $\phi$  VRS が与えられる。そして、キャパシタ C 2 に映像信号となる電圧がサンプルホールドされるとき、信号  $\phi$  VRS の電圧値をリセット時の電圧値と異なる値とすることで、キャパシタ C 2 からのリーク電流を抑制する。

【選択図】 図 2

特願 2 0 0 3 - 1 4 2 8 8 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 0 7 9 ]

1. 変更年月日 1 9 9 0 年 8 月 2 7 日  
[変更理由] 新規登録  
住 所 大阪府大阪市中央区安土町二丁目 3 番 1 3 号 大阪国際ビル  
氏 名 ミノルタカメラ株式会社
2. 変更年月日 1 9 9 4 年 7 月 2 0 日  
[変更理由] 名称変更  
住 所 大阪府大阪市中央区安土町二丁目 3 番 1 3 号 大阪国際ビル  
氏 名 ミノルタ株式会社